
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 010064965 A
(43)Date of publication of application: 11.07.2001

(21)Application number: 990059453
(22)Date of filing: 20.12.1999

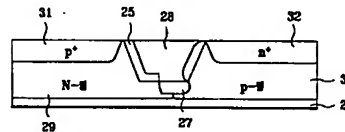
(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: SUK, SE UN

(51)Int. Cl H01L 21/76

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device is provided to improve a breakdown voltage of a P-well region by preventing intrusion of impurity ions of a N-well region into the P-well region.



CONSTITUTION: The method for manufacturing semiconductor devices sequentially forms an oxide film and a nitride film on a semiconductor substrate (21). The nitride film and the oxide film are selectively removed to expose the surface of the semiconductor substrate. A trench of a given depth is formed in the exposed semiconductor substrate using the selectively removed nitride and oxide films as a mask. A high temperature low pressure deposition(HLD) film(25) is formed on the entire surface of the semiconductor substrate including the trench. The HLD film is divided into the first and second regions. The HLD film in the second region is removed. The first conductive type impurity region is formed within the HLD film and the surface of the semiconductor substrate under the trench in which the nitride film is not formed. A shallow trench isolation (STI) film(28) is formed within the trench. The nitride film and the oxide film are removed. The second conductive type well is formed within the surface of the semiconductor substrate in the first region. The first conductive type well is formed within the surface of the semiconductor substrate in the second region.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19991220)

Notification date of refusal decision (20020311)

Final disposal of an application (rejection)

Date of final disposal of an application (20020311)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2001-0064965
H01L 21/76 (43) 공개일자 2001년07월11일

(21) 출원번호 10-1999-0059453
(22) 출원일자 1999년12월20일
(71) 출원인 주식회사 하이닉스반도체 박종섭
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 석세운
충청북도청주시흥덕구봉명2동백봉아파트101-202
(74) 대리인 강용복, 김용민

심사청구 : 있음

(54) 반도체 소자의 제조방법

요약

본 발명은 N-웰의 불순물 미온미 P-웰 영역으로 침입하는 것을 방지하여 P-웰의 항복전압을 개선하도록 한 반도체 소자의 제조방법에 관한 것으로서, 반도체 기판상에 산화막과 질화막을 차례로 형성하는 단계와, 상기 반도체 기판의 표면이 소정부분 노출되도록 질화막과 산화막을 선택적으로 제거하는 단계와, 상기 선택적으로 제거된 질화막 및 산화막을 마스크로 이용하여 노출된 반도체 기판에 소정깊이를 갖는 트렌치를 형성하는 단계와, 상기 트렌치를 포함한 반도체 기판의 전면에 HLD막을 형성하는 단계와, 상기 HLD막을 제 1 영역과 제 2 영역으로 구분하는 단계와, 상기 제 2 영역의 HLD막을 선택적으로 제거하는 단계와, 상기 HLD막과 질화막이 형성되지 않은 트렌치 하부의 반도체 기판 표면내에 제 1 도전형 불순물 영역을 형성하는 단계와, 상기 트렌치의 내부에 STI막을 형성하는 단계와, 상기 질화막과 산화막을 제거하는 단계와, 상기 제 1 영역의 반도체 기판 표면내에 제 2 도전형 웰을 형성하는 단계와, 상기 제 2 영역의 반도체 기판 표면내에 제 1 도전형 웰을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

도표도

도2f

색인어

웰 항복전압

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래의 반도체 소자의 제조방법을 나타낸 공정단면도

도 2a 내지 도 2f는 본 발명에 의한 반도체 소자의 제조방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

- | | |
|--------------------|--------------------|
| 21 : 반도체 기판 | 22 : 산화막 |
| 23 : 질화막 | 24 : 트렌치 |
| 25 : HLD막 | 26 : 포토레지스트 |
| 27 : 불소 불순물 영역 | 28 : STI막 |
| 29 : N-웰 | 30 : P-웰 |
| 31 : 고농도 p형 불순물 영역 | 32 : 고농도 n형 불순물 영역 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조공정에 관한 것으로, 특히 웰 항복전압(Well Breakdown Voltage)을 개선시키는데 적당한 반도체 소자의 제조방법에 관한 것이다.

일반적으로 소자의 디자인 룰(Design Rule)이 작아질수록 FC-SRAM 소자에서는 웰 항복전압 측면의 설계 마진(Margin) 확보와 공정 제어(Control)면에서 어려운 점이 대두되었다.

이하, 첨부된 도면을 참고하여 종래의 반도체 소자의 제조방법을 설명하면 다음과 같다.

도 1a 내지 도 1d는 종래의 반도체 소자의 제조방법을 나타낸 공정단면도이다.

도 1a에 도시한 바와 같이, 반도체 기판(11)상에 산화막(12)과 질화막(13)을 차례로 형성하고, 포토리소 그래피 및 식각공정을 통해 상기 질화막(13)과 산화막(12)을 선택적으로 제거한다.

이어, 상기 선택적으로 제거된 질화막(13) 및 산화막(12)을 마스크로 이용하여 노출된 반도체 기판(11)을 선택적으로 제거하여 소정깊이를 갖는 트렌치(Trench)(14)를 형성한다.

도 1b에 도시한 바와 같이, 상기 트렌치(14)를 포함한 반도체 기판(11)의 전면에 갭-필(Gap-fill)물질을 형성하고, 상기 트렌치(14)의 내부에만 갭-필 물질이 남도록 갭-필 물질의 전면에 CMP 공정을 실시하여 STI(Shallow Trench Isolation)막(15)을 형성한다.

도 1c에 도시한 바와 같이, 상기 질화막(13)과 산화막(12)을 제거하고, 상기 STI막(15)에 의해 분리된 반도체 기판(11)에 포토 공정을 실시하여 선택적으로 n형(예를 들면, 인(Phosphorus)) 또는 p형(예를 들면, 붕소(Boron)) 불순물 이온을 주입으로 상기 반도체 기판(11)의 표면내에 N-웰(16)과 P-웰(17)을 각각 형성한다.

이때 웰 포토(Well Photo)에 적용하는 포토레지스트의 두께는 약 2.7 μ m내로 한다.

도 1d에 도시한 바와 같이, 상기 N-웰(16)이 형성된 반도체 기판(11)에 고농도 p형 불순물 이온을 주입하여 고농도 p형 불순물 영역(18)을 형성한다.

이어, 상기 P-웰(17)이 형성된 반도체 기판(11)에 고농도 n형 불순물 이온을 주입하여 고농도 n형 불순물 영역(19)을 형성한다.

여기서 상기 고농도 p형 불순물 영역(18)과 고농도 n형 불순물 영역(19)을 형성할 때 통상적인 즉, 포토 공정 등을 이용하여 일측(N-웰 또는 P-웰)은 마스크한 후 형성한다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래의 반도체 소자의 제조방법에 있어서 다음과 같은 문제점이 있었다.

첫째, 소자의 디자인 룰이 작아질수록 레이아웃(Layout)상 웰 영역 마진이 부족하여 웰 항복전압 측면에서 취약한 현상이 발생한다.

즉, P-웰의 불순물 이온이 STI막으로 분리되지만 P-웰의 불순물 농도가 낮아져 N-웰의 불순물 이온이 P-웰영역으로 침범해 P-웰의 웰 항복전압이 발생한다.

둘째, N-웰과 P-웰 영역의 경계를 분명히 해야하지만 공정상 제어가 어렵다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 N-웰의 불순물 이온이 P-웰 영역으로 침범하는 것을 방지하여 P-웰의 항복전압을 개선하도록 한 반도체 소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 제조방법은 반도체 기판상에 산화막과 질화막을 차례로 형성하는 단계와, 상기 반도체 기판의 표면이 소정부분 노출되도록 질화막과 산화막을 선택적으로 제거하는 단계와, 상기 선택적으로 제거된 질화막 및 산화막을 마스크로 이용하여 노출된 반도체 기판에 소정깊이를 갖는 트렌치를 형성하는 단계와, 상기 트렌치를 포함한 반도체 기판의 전면에 HLD막을 형성하는 단계와, 상기 HLD막을 제 1 영역과 제 2 영역으로 구분하는 단계와, 상기 제 2 영역의 HLD막을 선택적으로 제거하는 단계와, 상기 HLD막과 질화막이 형성되지 않은 트렌치 하부의 반도체 기판 표면내에 제 1 도전형 불순물 영역을 형성하는 단계와, 상기 트렌치의 내부에 STI막을 형성하는 단계와, 상기 질화막과 산화막을 제거하는 단계와, 상기 제 1 영역의 반도체 기판 표면내에 제 2 도전형 웰을 형성하는 단계와, 상기 제 2 영역의 반도체 기판 표면내에 제 1 도전형 웰을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 반도체 소자의 제조방법을 상세히 설명하면 다음과 같다.

도 2a 내지 도 2f는 본 발명에 의한 반도체 소자의 제조방법을 나타낸 공정단면도이다.

도 2a에 도시한 바와 같이, 반도체 기판(21)상에 산화막(22)과 질화막(23)을 차례로 형성하고, 포토리소 그래피 및 식각공정을 통해 상기 반도체 기판(21)의 표면이 소정부분 노출되도록 상기 질화막(23) 및 산화막(22)을 선택적으로 제거한다.

이어, 상기 선택적으로 제거된 질화막(23) 및 산화막(22)을 마스크로 이용하여 상기 노출된 반도체 기판(21)을 선택적으로 제거하여 소정깊이를 갖는 트렌치(Trench)(24)를 형성한다.

도 2b에 도시한 바와 같이, 상기 트렌치(24)를 포함한 반도체 기판(21)의 전면에 HLD(High temperature Low pressure Deposition)막(25)을 약 1000 Å의 두께로 형성한다.

이어, 상기 HLD막(25)상에 포토레지스트(26)를 도포한 후, 노광 및 현상공정을 통해 P-웰이 형성될 영역에만 남도록 포토레지스트(26)를 패터닝한다.

도 2c에 도시한 바와 같이, 상기 패터닝된 포토레지스트(26)를 마스크로 이용하여 상기 HLD막(25)을 선택

적으로 제거한다.

여기서 상기 포토레지스트(26)에 의해 덮여 있지 않는 HLD막(25)은 트렌치(24)의 측면에도 소정두께 만큼 잔류한다.

그리고 상기 포토레지스트(26)를 마스크로 이용하여 반도체 기판(21)의 전면에 붕소(B) 이온을 주입하여 상기 노출된 트렌치(24) 하부의 반도체 기판(21) 표면내에 붕소 불순물 영역(27)을 형성한다.

여기서 상기 붕소 이온은 약 30keV의 에너지와 3.0×10^{13} 의 도즈량으로 주입한다. 이때 상기 N-웰이 형성될 영역에는 질화막(23)이 블로킹(Blocking)하여 이온주입이 되지 않는다.

도 2d에 도시한 바와 같이, 상기 포토레지스트(26)를 제거하고, 상기 트렌치(24)를 포함한 반도체 기판(21)의 전면에 캡-필 물질을 형성한 후, 상기 트렌치(24)의 내부에만 남도록 캡-필 물질의 전면에 CMP 공정을 실시하여 STI막(28)을 형성한다.

한편, 상기 CMP 공정중에 질화막(23)상에 형성된 HLD막(25)도 함께 폴리싱되어 제거된다.

도 2e에 도시한 바와 같이, 상기 질화막(23)과 산화막(22)을 제거하고, 상기 STI막(28)에 의해 분리된 반도체 기판(21)에 포토 공정을 실시하여 선택적으로 n형(예를 들면, 인(Phosphorus)) 및 p형(예를 들면, 보론(Boron)) 불순물 이온을 주입으로 상기 반도체 기판(21)의 표면내에 N-웰(29)과 P-웰(30)을 각각 형성한다.

이때 웰 포토(Well Photo)에 적용하는 포토레지스트의 두께는 약 $2.7 \mu\text{m}$ 내로 한다.

도 2g에 도시한 바와 같이, 상기 N-웰(29)이 형성된 반도체 기판(21)에 고농도 p형 불순물 이온을 주입하여 고농도 p형 불순물 영역(31)을 형성한다.

이후, 상기 P-웰(30)이 형성된 반도체 기판(21)에 고농도 n형 불순물 이온을 주입하여 고농도 n형 불순물 영역(32)을 형성한다.

여기서 상기 고농도 p형 불순물 영역(31)과 고농도 n형 불순물 영역(32)을 형성할 때 통상적인 즉, 포토 공정 등을 통해 일측(N-웰 또는 P-웰)은 마스크한 후 형성한다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 반도체 소자의 제조방법은 다음과 같은 효과가 있다.

즉, STI막이 형성되는 트렌치의 하부(Bottom)에 높은 농도(3.0×10^{13} 의 도즈량)의 보론 이온을 주입하여 N-웰 불순물 이온이 P-웰 영역으로 침투하는 것을 방지함으로써 웰 항복전압을 개선할 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기판상에 산화막과 질화막을 차례로 형성하는 단계;

상기 반도체 기판의 표면이 소정부분 노출되도록 질화막과 산화막을 선택적으로 제거하는 단계;

상기 선택적으로 제거된 질화막 및 산화막을 마스크로 이용하여 노출된 반도체 기판에 소정깊이를 갖는 트렌치를 형성하는 단계;

상기 트렌치를 포함한 반도체 기판의 전면에 HLD막을 형성하는 단계;

상기 HLD막을 제 1 영역과 제 2 영역으로 구분하는 단계;

상기 제 2 영역의 HLD막을 선택적으로 제거하는 단계;

상기 HLD막과 질화막이 형성되지 않은 트렌치 하부의 반도체 기판 표면내에 제 1 도전형 불순물 영역을 형성하는 단계;

상기 트렌치의 내부에 STI막을 형성하는 단계;

상기 질화막과 산화막을 제거하는 단계;

상기 제 1 영역의 반도체 기판 표면내에 제 2 도전형 웰을 형성하는 단계;

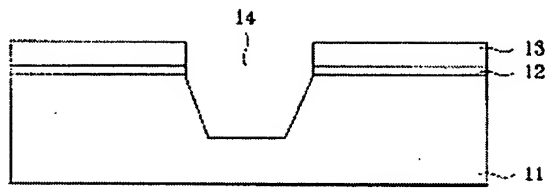
상기 제 2 영역의 반도체 기판 표면내에 제 1 도전형 웰을 형성하는 단계를 포함하여 형성함을 특징으로 하는 반도체 소자의 제조방법.

청구항 2. 제 1 항에 있어서, 상기 제 1 도전형 불순물 영역은 30keV의 에너지와 3.0×10^{13} 의 도즈로 붕소 이온을 주입하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

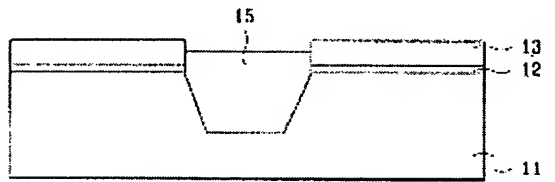
청구항 3. 제 1 항에 있어서, 상기 HLD막은 약 1000 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

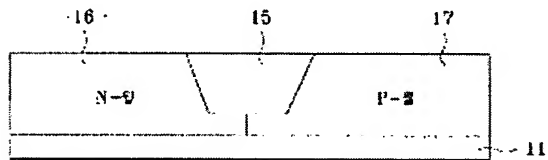
도면 1a



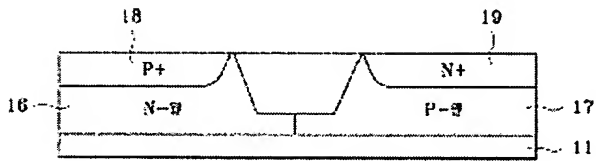
도면 1b



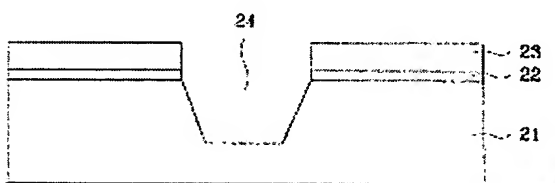
도면 1c



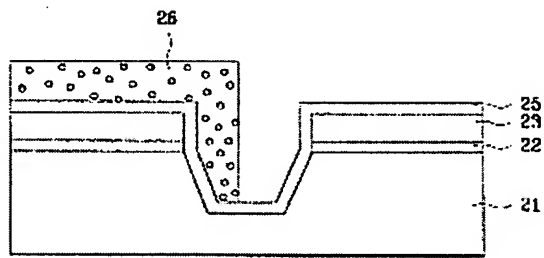
도면 1d



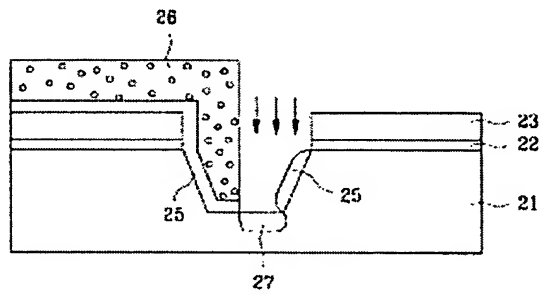
도면 2a



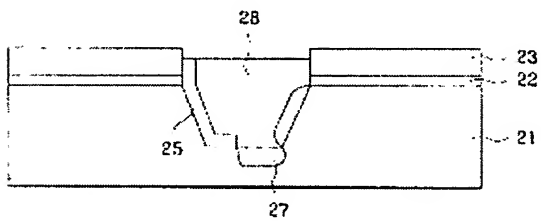
도면 2a



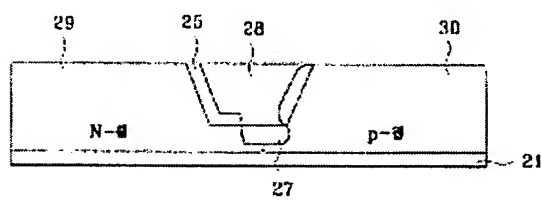
도면 2b



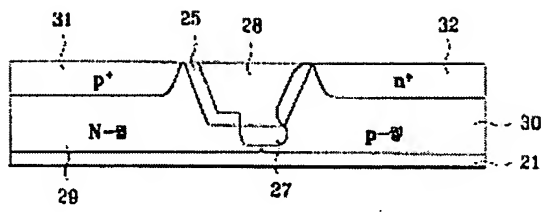
도면 2c



도면 2d



도 22



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.